

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)新出願公開番号

特開平9-74348

(43)公開日 平成9年(1997)3月18日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H03K	19/0185		H03K 19/00	101E
	19/00			A
	19/0944		19/094	A

審査請求 未請求 請求項の数6 O L (全6頁)

(21)出願番号 特願平7-229538

(22)出願日 平成7年(1995)9月6日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 武藤 亜希子

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 大嶋 正幸

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 半導体装置

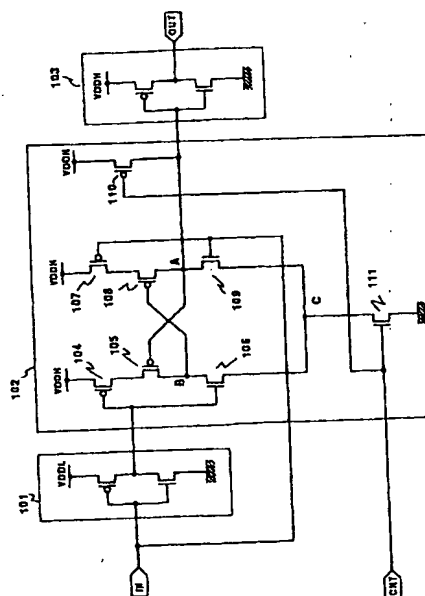
包袋済

(57)【要約】

【目的】昇圧レベルシフタを具備した多電源ICにおいて低電圧電源(VDDL)をオフ状態にしても電源間にリーク電流の流れない半導体装置を供給する。

【構成】昇圧回路102内にPchトランジスタ110とNchトランジスタ111で構成される制御回路を具備し、制御(CNT)信号により昇圧回路が制御されている回路構成。これにより、VDDL電源をオフした場合においてもCNT端子にVSS電位を供給することにより、Nchトランジスタ111がオフする為、IN端子とB点の電位がVDDL電位からVSS電位の間の中間電位となっても、VDDH電源、VSS電源間に電流が流れることはない。

【効果】制御信号により低電圧電源がオフ状態の時には、昇圧回路を停止状態にできるため低電圧電源をオフ状態にすることができ、低消費電流の半導体装置を作成できるという効果がある。



## 【特許請求の範囲】

【請求項1】第1の電位の第1の電源端子と接地電位の第2の電源端子との間に接続された第1のインバータと、前記第1のインバータの入力信号及び出力信号とに基づき動作する第2の電位の第3の電源端子と前記第2の電源端子との間に接続された昇圧回路と、前記昇圧回路の出力信号が入力され前記第2の電位で動作する第2のインバータとを備え、前記昇圧回路と前記第2または前記第3の電源端子との間に昇圧回路の動作を制御するスイッチを有することを特徴とする半導体装置。

【請求項2】前記スイッチはNchFETからなり、前記FETのゲート端子には前記接地電位または前記第2の電位が与えられてなることを特徴とする請求項1記載の半導体装置。

【請求項3】前記第2のインバータの入力端子をプルアップするプルアップトランジスタを備え、前記プルアップトランジスタのゲート電極は、前記FETのゲート電極と共通接続されてなることを特徴とする請求項2記載の半導体装置。

【請求項4】前記スイッチはPchFETからなり、前記FETのゲート端子には前記接地電位または前記第2の電位が与えられてなることを特徴とする請求項1記載の半導体装置。

【請求項5】前記第2のインバータの入力端子をプルダウンするプルダウントランジスタを備え、前記プルダウントランジスタのゲート電極は、前記FETのゲート電極と共通接続されてなることを特徴とする請求項3記載の半導体装置。

【請求項6】基準電位と前記第1の電源端子の電位を比較する電圧検出回路を備え、前記FETのゲート電位は前記電圧検出回路の出力によって制御されてなることを特徴とする請求項2～5いずれか記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、昇圧レベルシフタを具備した、多電源ICに関する。

【0002】

【従来の技術】従来昇圧レベルシフタは、例えば図4に示す様に、低電圧電源（以下、VDDLと略す）を電源とするインバータ401、高電圧電源（以下、VDDHと略す）を電源とする昇圧回路402、そしてVDDHを電源とするインバータ403で構成されている。ここではインバータ401に入力信号を与えるVDDL系で動作する他の内部回路は図示しない。通常昇圧回路402はPchトランジスタ404とNchトランジスタ406によるインバータとPchトランジスタ407とNchトランジスタ409によるインバータの各々の出力がPchトランジスタ405、および408のゲートに接続されて構成されていた。

【0003】

【発明が解決しようとする課題】多電源ICにおいて低消費電力化の為に、各電源系の回路を動作させない時には、電源をオフすることが望ましいが、従来の昇圧レベルシフタの場合、昇圧回路がインバータ構成となっている為、VDDHをオフした場合には、VDDL～VSS間に電流は流れない。しかしVDDLをオフした場合には、インバータ401の出力がオープン状態になるだけでなく、インバータ401前段の出力であるIN端子もオープンとなる（これはIN端子に外部から直接信号が与えられない限り避けられない）。そのため昇圧回路402を構成するPchインバータ404、407、および、Nchインバータ406、409のゲート電位が不定状態となり、VDDH～VSS間にリーク電流が流れてしまう。この為VDDLをオフ状態にすることが出来ないという問題を有する。

【0004】そこで本発明は従来の昇圧レベルシフタの問題点を解決するもので、昇圧レベルシフタにおいてVDDLおよびVDDHのどちらをオフしても電源間にリーク電流の流れることのない半導体装置を供給することを目的とする。

【0005】

【課題を解決するための手段】第1の電位の第1の電源端子と接地電位の第2の電源端子との間に接続された第1のインバータと、前記第1のインバータの入力信号及び出力信号とに基づき動作する第2の電位の第3の電源端子と前記第2の電源端子との間に接続された昇圧回路と、前記昇圧回路の出力信号が入力され前記第2の電位で動作する第2のインバータとを備え、前記昇圧回路と前記第2または前記第3の電源端子との間に昇圧回路の動作を制御するスイッチを有すること、前記スイッチはNchFETからなり、前記FETのゲート端子には前記接地電位または前記第2の電位が与えられてなること、前記第2のインバータの入力端子をプルアップするプルアップトランジスタを備え、前記プルアップトランジスタのゲート電極は、前記FETのゲート電極と共通接続されてなること、前記スイッチはPchFETからなり、前記FETのゲート端子には前記接地電位または前記第2の電位が与えられてなること、前記第2のインバータの入力端子をプルダウンするプルダウントランジスタを備え、前記プルダウントランジスタのゲート電極は、前記FETのゲート電極と共通接続されてなること、基準電位と前記第1の電源端子の電位を比較する電圧検出回路を備え、前記FETのゲート電位は前記電圧検出回路の出力によって制御されてなることを特徴とする。

【0006】

【実施例】本発明の第1の実施例として図1に昇圧レベルシフタの回路図を示す。図1において、VDDLを電源とするインバータ101と、VDDHを電源とする昇圧回路102、および、VDDHを電源とするインバー

タ103で昇圧レベルシフタを構成している。ここで昇圧回路102は、VDDH電源をソースとするPchトランジスタ107とNchトランジスタ109のゲートにVDDL電源の回路からの信号が伝播されるIN端子が接続され、VDDH電源をソースとするPchトランジスタ104とNchトランジスタ106のゲートに、IN端子の反転信号であるインバータ101の出力が接続されている。また、Pchトランジスタ104とNchトランジスタ106のドレイン間にPchトランジスタ105、また、Pchトランジスタ107とNchトランジスタ109のドレイン間にPchトランジスタ108が設けられ、Pchトランジスタ105のゲートは、Pchトランジスタ107、108、Nchトランジスタ109で構成されるインバータの出力であるA点に接続され、Pchトランジスタ108のゲートは、Pchトランジスタ104、105、Nchトランジスタ106で構成されるインバータの出力であるB点に接続され、VDDL電位をVDDH電位に昇圧する昇圧機能部を構成している。また、VDDH電源とA点の間にプルアップトランジスタとしてPchトランジスタ110が設けられ、VSS電源とC点の間に昇圧回路102の動作を制御するスイッチとしてNchトランジスタ111が設けられている。Pchトランジスタ110とNchトランジスタ111のゲートにはVDDH電源の回路からの信号が伝播されるCNT端子が接続され、制御機能部を構成している。

【0007】これにより、制御(CNT)端子にVDDH電位が供給された場合は、Pchトランジスタ110はオフし、Nchトランジスタ111はオンする為、IN端子に伝播されたVDDL電位、および、VSS電位は昇圧回路102で昇圧され、OUT端子へVDDH電位、および、VSS電位として伝播され昇圧レベルシフタとして機能する。又、CNT端子にVSS電位が供給された場合はPchトランジスタ110はオンし、Nchトランジスタ111はオフする為、IN端子にVDDL電位およびVSS電位が供給されてもOUT端子はVSS電位が出力されることになる。よって、論理的には昇圧回路102はIN端子、CNT端子を入力とし、A点を出力とする2入力NAND構成となっており、昇圧レベルシフタはIN端子、CNT端子を入力とし、OUT端子を出力とする2入力NAND構成となっている。これにより、VDDL電源をオフした場合においてもCNT端子にVSS電位を供給することにより、Nchトランジスタ111がオフする為、IN端子とB点の電位がVDDL電位からVSS電位の間の中間電位となっても、VDDH電源、VSS電源間に電流が流れることはない。

【0008】また、本発明の第2の実施例として図2に昇圧レベルシフタの回路図を示す。

【0009】図2において、VDDLを電源とするイン

バータ201とVDDHを電源とする昇圧回路202、インバータ203、および、電圧検出回路212の制御機能部を構成する。Pchトランジスタ210とNchトランジスタ211のゲートには電圧検出回路212の出力が接続されており、昇圧回路202は電圧検出回路212の出力信号により制御される。また、電圧検出回路212は、プラス端子にVDDL電源が接続され、マイナス端子にVref端子が接続されている。

【0010】よってVref端子にVDDL電源の変動範囲より若干低い電位を基準電位として供給することにより、VDDL電源がオンしている場合は、Vref端子の電位よりVDDL電源の電位が高い為、比較回路212は、VDDH電位を出力し、VDDL電源をオフした場合は、Vref端子の電位よりVDDL電源の電位が低くなる為、比較回路212はVSS電位を出力することになる。

【0011】これにより、VDDL電源がオンしている時は昇圧回路202が動作状態になり、またVDDL電源をオフした時は昇圧回路202が停止状態となる為、VDDL電源をオフした時にVDDH電源系の回路より、VDDL電源をオフしたことを認識する制御信号を入力する必要がなく、かつ、VDDH電源からVSS電源間に電流が流れることを防止することができる。

【0012】また、図1、図2においてNAND構成の昇圧回路を用いたが、これは、VDDHと昇圧回路の間にスイッチとして設けられたPchトランジスタと、プルダウントランジスタとして設けられたNchトランジスタとによる、NOR構成の昇圧回路においても同様に対応する。

【0013】スイッチとなるトランジスタの挿入による昇圧回路のトランジスタ能力の降下を考慮すると、スイッチにはPchトランジスタのほうが望ましい。

【0014】また図3は、図1の信号伝播例を示すブロック図である。図3において、チップ内部は、VDDL電源で動作するVDDL系ロジック302、昇圧レベルシフタ303、及びVDDH電源で動作するVDDH系ロジック304で構成され、チップ周辺はチップ外部との信号インターフェイスを行うI/Oセルと電源が配置されており、VDDL電位およびVSS電位の信号インターフェイスを行うVDDL系I/O301と、VDDH電位およびVSS電位の信号インターフェイスを行うVDDH系I/O305、およびVDDL電源、VDDH電源、VSS電源で構成されている。

【0015】ここで、VDDL系I/O301とVDDL系ロジック302と昇圧レベルシフタ303にVDDL電源が供給され、VDDH系I/O305とVDDH系ロジック304と昇圧レベルシフタ303にVDDH電源が供給され、VSS電源は、全ての回路に供給されている。

【0016】信号の伝播は、VDDL系I/O301と

VDDL系ロジック302との間、およびVDDH系I/O305とVDDH系ロジック304との間では、双方向インターフェイスされており、VDDL系ロジック302とVDDH系ロジック304の間のインターフェイスについては、ロジック302からロジック304へは昇圧レベルシフタ303を介して行われ、ロジック304からロジック302へのインターフェイスは直接行われている。

【0017】ここで、VDDL電源をオフした場合VDDH系ロジック304又は、VDDH系I/O305からの制御信号(A点)により、昇圧レベルシフタ303をコントロールし、VDDH電源～VSS間のリーク電流を防止する。

【0018】

【発明の効果】以上説明したように、本発明によれば昇圧回路の動作を制御するスイッチにより、昇圧レベルシフタを制御可能としている為、VDDL電源をオフしても余計な消費電流が流れず、低消費電流化が図れるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の昇圧レベルシフタの回路図である。

【図2】本発明の第2の実施例の昇圧レベルシフタの回路図である。

【図3】図1の信号伝播例を示すブロック図である。

【図4】従来例を示す昇圧レベルシフタ回路回路図である。

【符号の説明】

101、103、201、203、401、403・・・インバータ

102、202、402・・・昇圧回路

104、105、107、108、110、204、205、207、208、210、404、405、407、408・・・Pchトランジスタ

106、109、111、206、209、211、406、409・・・Nchトランジスタ

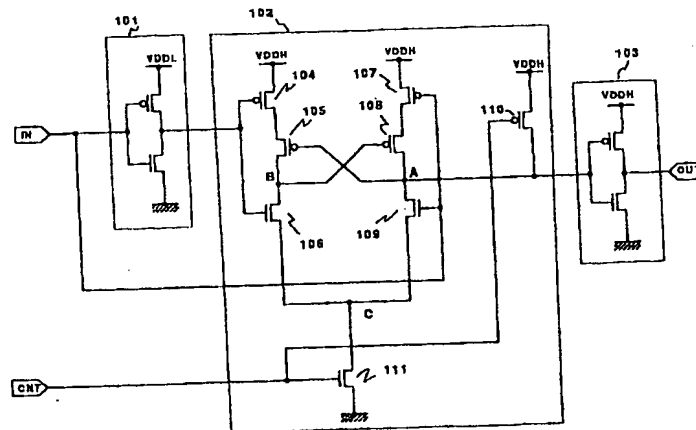
212・・・電圧検出回路

301、305・・・I/Oセルブロック

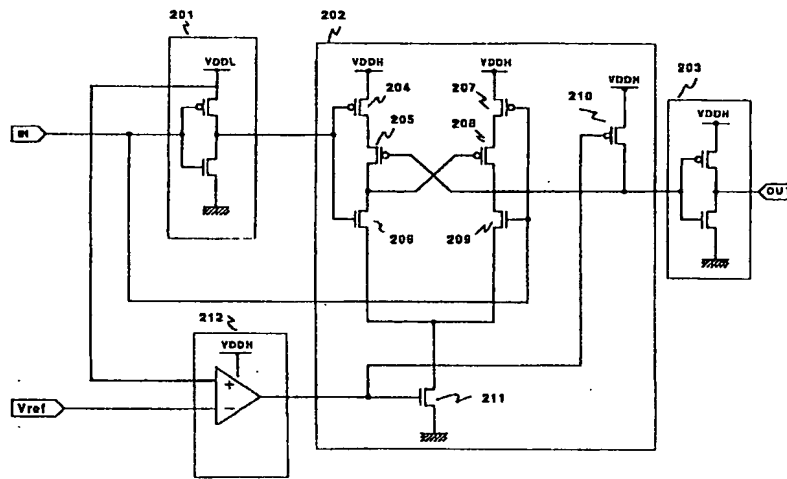
302、304・・・ロジックブロック

20 303・・・昇圧レベルシフタブロック

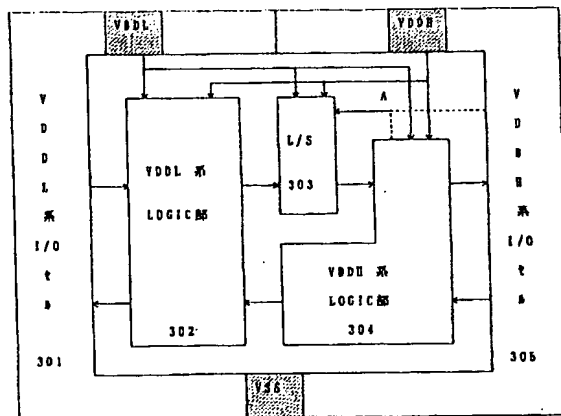
【図1】



【図2】



【図3】



【図4】

